

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-300009

(43)Date of publication of application : 11.10.2002

(51)Int.Cl. H03K 3/037  
 H03K 5/00  
 H03K 5/14  
 H04L 7/02

(21)Application number : 2001-103217

(71)Applicant : HITACHI LTD

(22)Date of filing : 02.04.2001

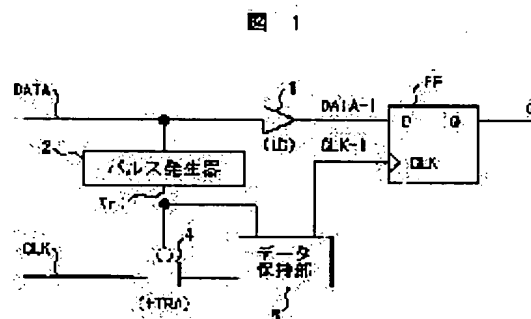
(72)Inventor : ITAGAKI TATSUYA

## (54) D FLIP-FLOP CIRCUIT DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a D flip-flop circuit device receiving a clock signal and a data is asynchronously with each other that avoids the production of a meta stable state.

SOLUTION: The D flip-flop circuit device including at least one D flip-flop that latches the data input signal in timing of the clock pulse and outputs the latched signal to a post-stage circuit as an output data signal, is provided with a synchronizing circuit that delays the output timing of the clock pulse supplied to the D flip-flop by a prescribed time so as to latch the data input signal in the timing so as not to take place meta stable.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

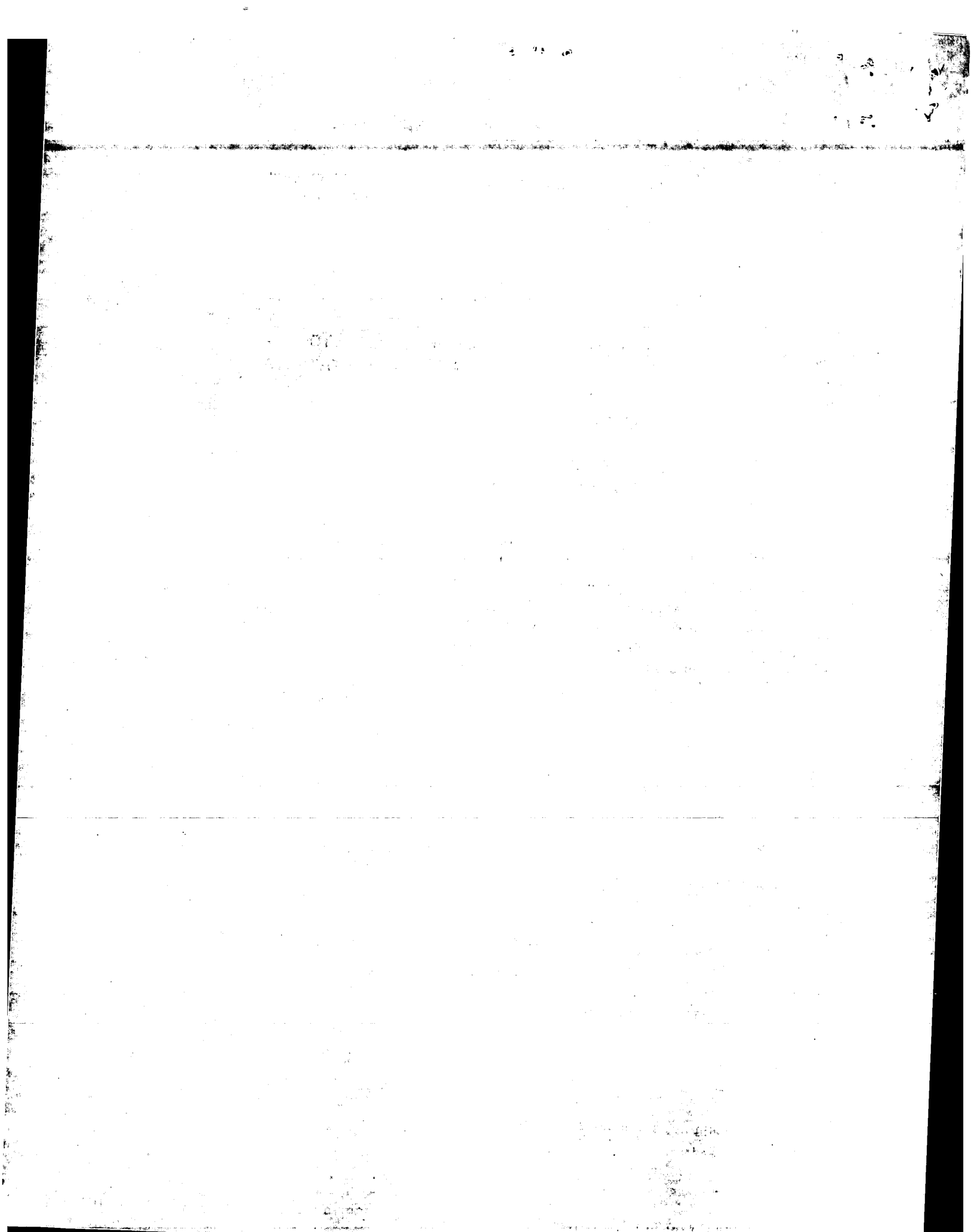
[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-300009  
(P2002-300009A)

(43)公開日 平成14年10月11日(2002. 10. 11)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 3 K 3/037		H 0 3 K 3/037	Z 5 J 0 0 1
5/00		5/14	5 J 0 4 3
5/14		5/00	V 5 K 0 4 7
H 0 4 L 7/02		H 0 4 L 7/02	Z

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21)出願番号 特願2001-103217(P2001-103217)

(22)出願日 平成13年4月2日(2001. 4. 2)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 板垣 竜也

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所通信事業部内

(74)代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

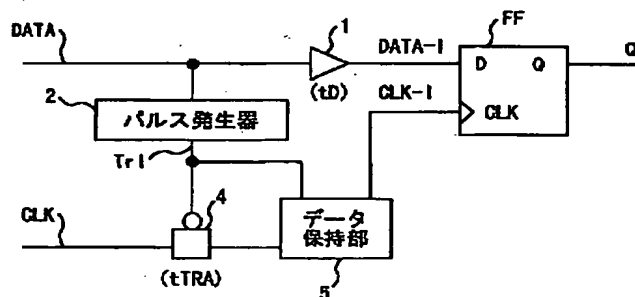
(54)【発明の名称】 D型フリップフロップ回路装置

(57)【要約】

【課題】 クロックとデータ入力信号が非同期のD型フリップフロップにおけるメタステーブル状態の発生を回避した回路装置を提供する。

【解決手段】 データ入力信号をクロックパルスのタイミングでラッチし、出力データ信号として後段回路に出力する少なくとも1つのD型フリップフロップを含む回路装置において、データ入力信号の所定の状態変化を検出して、上記D型フリップフロップに供給されるクロックパルスの出力タイミングを所定時間遅延させる同期化回路を備え、データ入力信号をメタステーブル状態が発生しないタイミングでラッチする。

図 1



## 【特許請求の範囲】

【請求項1】データ入力信号をクロックパルスのタイミングでラッチし、出力データ信号として後段回路に出力する少なくとも1つのD型フリップフロップを含む回路装置において、データ入力信号の所定の状態変化を検出して、上記D型フリップフロップに供給されるクロックパルスの出力タイミングを所定時間遅延させる同期化回路を備えたことを特徴とするD型フリップフロップ回路装置。

【請求項2】データ入力信号を所定時間遅延させて前記D型フリップフロップに入力するためのディレイ素子を有し、前記同期化回路が、上記データ入力信号の所定の状態変化を検出した後、所定のタイミングで制御パルスを発生するパルス発生回路と、上記制御パルスの出力期間中に前記クロックパルスの通過を阻止するゲート回路と、上記制御パルスの出力期間中に上記D型フリップフロップに供給されるクロックパルスの状態を固定するための手段とからなることを特徴とする請求項1に記載のD型フリップフロップ回路装置。

【請求項3】前記パルス発生回路が、前記データ入力信号の所定の状態変化を検出した後、前記ディレイ素子の遅延時間に応じて決まる所定のタイミングで、前記D型フリップフロップに固有のセットアップタイムとホールドタイムとに応じて決まるパルス幅をもった制御パルスを発生し、前記クロックパルス状態固定手段が、上記制御パルスの出力期間中に、前記D型フリップフロップに供給されるクロックパルスの状態を従前のパルス状態に固定することを特徴とする請求項2に記載のD型フリップフロップ回路装置。

【請求項4】前記パルス発生回路が、前記データ入力信号の所定の状態変化を検出した後、前記ディレイ素子の遅延時間に応じて決まる所定のタイミングで、前記D型フリップフロップに固有のセットアップタイムとホールドタイムとに応じて決まるパルス幅をもった制御パルスを発生し、前記クロックパルス状態固定手段が、上記制御パルスの出力期間中に、前記D型フリップフロップに供給されるクロックパルスの状態を予め決められたオンまたはオフ状態に強制的に固定することを特徴とする請求項2に記載のD型フリップフロップ回路装置。

【請求項5】それぞれ並列的にデータ入力信号が供給される複数のD型フリップフロップを含み、上記D型フリップフロップ毎にデータ入力信号を所定時間遅延させるためのディレイ素子を有し、前記パルス発生回路が、上記複数のデータ入力信号に兼用されたことを特徴とする請求項1～請求項4の何れかに記載のD型フリップフロップ回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、D型フリップフロップ回路装置に関し、特に、データ入力信号とクロック

とが非同期で入力された場合にD型フリップフロップで発生するメタステーブル状態を解消するための同期化回路に関するものである。

## 【0002】

【従来の技術】LSIでは、例えば、図7に示すD型フリップフロップFFを使用し、外部からのデータ入力信号をD型フリップフロップで受け、複数のD型フリップフロップ間でデータを論理処理し、最終段のD型フリップフロップ出力をLSI外部に出力する回路構成が採用されている。

【0003】図7に示したD型フリップフロップFFは、クロックCLKの立ち上がりエッジにおけるデータ入力信号DATAの値をラッチし、これを出力信号Qとして後段回路に転送するためのものであり、データ入力信号DATAの値を出力Qに正確に反映させるためには、図8のタイミングチャートで示すように、クロック信号CLKの立ち上がりに対して、データ入力信号DATAをセットアップタイム $t_S$ とホールドタイム $t_H$ で決まる所定のタイミングで変化させる必要があった。

【0004】D型フリップフロップFFでは、クロック信号CLKが立ち上がる前にデータ入力信号DATAの状態が確定している必要がある。図8において、データ入力信号DATAがCLKの立ち上がりエッジよりも前にあるセットアップタイム $t_S$ （ナノ秒：ns）以内で変化した場合、セットアップタイム不足となり、CLKの立ち上がりエッジよりも後にあるホールドタイム $t_H$ （ns）以内で変化した場合、ホールドタイム不足となる。これらのタイム不足が発生すると、D型フリップフロップに固有の遅延時間 $t_{CO}$ （ns）が経過した時点では、出力信号Qに値が決定されず、メタステーブル状態 $t_{MET}$ （ns）を経た後で出力信号Qが安定状態になる。

【0005】メタステーブル状態とは、フリップフロップの出力信号QがHレベルとLレベルの中間の電位に留まった状態を意味している。メタステーブル状態は、データ入力信号変化がセットアップタイム $t_S$ とホールドタイム $t_H$ の期間内で変化した場合に必ず発生する訳ではなく、或る頻度をもって発生する。メタステーブル状態が安定するまで時間は、温度、電圧、素子性能のばらつき、データとクロックの位相関係などによって異なる。メタステーブル状態の最大値は、統計的に見積もることが可能であり、最大で数ナノ秒（ns）程度になる。メタステーブル状態にある出力信号がファンアウトの多い論理回路に入力されると、多数の貫通電流が発生し、回路動作が不安定となってLSIが予期せぬ誤動作を起こす。

【0006】そこで従来は、例えば、図9に示すように、2段のD型フリップフロップFF1とFF2を直列に接続した場合、メタステーブル状態の最大時間が経過した後で初段出力を次段に入力することによって、メタ

10

20

30

40

50

ステーブル状態の伝播を抑えている。このような回路構成は、非同期信号の同期化回路と呼ばれ、非同期の入力信号に対して一般的となっている。

【0007】メタステーブル状態は、例えば、D型フリップフロップへのデータ入力とクロック入力を非同期とせず、システム全体の信号系を基本クロックに同期させることによって回避可能となる。このような回路は同期系回路と呼ばれている。同期系のシステムにおいて、クロックとデータ入力信号との間の位相が予想外の範囲となった場合でも、セットアップタイム、ホールドタイムが守れるよう調整する技術は、例えば、特表平11-505080号、特開平11-3135号公報で公知となっている。

【0008】

【発明が解決しようとする課題】上述した非同期信号の同期化回路は、初段のD型フリップフロップで発生したメタステーブル状態を次段に伝えないようにしたものであり、メタステーブル状態の発生そのものを抑えるものではない。また、従来技術によれば、メタステーブル状態の最大時間を統計的に見積もることはできたとし

ても、最大値を超えるメタステーブル状態の発生が皆無になることを保証するものではない。

【0009】一方、同期系回路によるメタステーブル対策は、非同期系で動作させざるを得ないシステムが多数存在している現状においては、完全な解決策とはなり得ない。例えば、CPUからの割り込み信号を検出する装置や、位相関係の決まっていな別システムクロックにデータを乗せ換えるための装置、転送データからのクロック再生を行うための装置等は、データ入力信号とクロックが非同期状態になることを前提とした設計が必要となり、同期系回路への変更は困難となる。

【0010】本発明の目的は、D型フリップフロップを内蔵した信頼度の高い非同期系システムを提供することにある。本発明の他の目的は、クロックとデータ入力信号が非同期のD型フリップフロップにおけるメタステーブル状態の発生を回避した回路装置を提供することにある。本発明の更に他の目的は、データ入力信号に応じてクロックのタイミングを制御する非同期D型フリップフロップ用の同期化回路を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明は、データ入力信号をクロックパルスのタイミングでラッチし、出力データ信号として後段回路に出力する少なくとも1つのD型フリップフロップを含む回路装置において、データ入力信号の所定の状態変化を検出して、上記D型フリップフロップに供給されるクロックパルスの出力タイミングを所定時間遅延させる同期化回路を備え、データ入力信号をメタステーブル状態が発生しないタイミングでラッチするようにしたことを特徴とする。

【0012】更に詳述すると、本発明の回路装置は、データ入力信号を所定時間遅延させて前記D型フリップフロップに入力するための遅延素子（ディレイ素子）を有し、上記同期化回路が、上記データ入力信号の所定の状態変化を検出した後、所定のタイミングで制御パルスを発生するパルス発生回路と、上記制御パルスの出力期間中に前記クロックパルスの通過を阻止するゲート回路と、上記制御パルスの出力期間中に上記D型フリップフロップに供給されるクロックパルスの状態を固定するための手段とからなることを特徴とする。この場合、上記遅延素子の遅延時間は、同期化回路が必要とするクロックタイミングの調整時間に応じて決まる。尚、複数のD型フリップフロップにそれぞれ並列的にデータ入力信号が供給される回路装置においては、D型フリップフロップ毎にディレイ素子を設け、上記パルス発生回路を上記複数のデータ入力信号に兼用することが可能である。

【0013】本発明の1つの実施例では、上記パルス発生回路が、前記データ入力信号の所定の状態変化を検出した後、前記ディレイ素子の遅延時間に応じて決まる所定のタイミングで、前記D型フリップフロップに固有のセットアップタイムとホールドタイムとに応じて決まるパルス幅をもった制御パルスを発生し、上記クロックパルス状態固定手段が、上記制御パルスの出力期間中に、D型フリップフロップに供給されるクロックパルスの状態を従前のパルス状態に固定することを特徴とする。

【0014】本発明の別の実施例では、上記クロックパルス状態固定手段が、上記制御パルスの出力期間中に、前記D型フリップフロップに供給されるクロックパルスの状態を予め決められたオンまたはオフ状態に強制的に固定することを特徴とする。

【0015】

【発明の実施の形態】以下、本発明の実施例について図面を参照して説明する。図10は、データ入力信号DATAがHレベルに変化した時刻 $t_0$ を基準にして、クロックCLKのタイミングを調整する立場でセットアップタイム $t_S$ とホールドタイム $t_H$ を示した信号波形図である。CLKの立ち上がりエッジが、ホールドタイム $t_H$ の限界 $t_1$ よりも前にあった場合は、D型フリップフロップの出力QはLレベルとなる。CLKの立ち上がりエッジが、時刻 $t_0$ よりも前でホールドタイム $t_H$ の期間内にあった場合は、ホールドタイムが不足する。逆に、CLKの立ち上がりエッジが、時刻 $t_0$ より後でセットアップ時間 $t_S$ 内にあった場合は、セットアップタイムが不足し、図8と同様にメタステーブル状態が発生する可能性がある。CLKの立ち上がりエッジが、セットアップ時間 $t_S$ よりも後にあれば、データ入力信号DATAのHレベルを確実にラッチでき、メタステーブル状態を経ることなく出力信号Qを転送できる。

【0016】図11は、D型フリップフロップFFのデータ入力信号DATAの経路に、遅延時間 $t_D$  (ns)

をもつディレイ素子1を挿入した回路構成を示す。この場合、図12のタイミングチャートに示すように、フリップフロップFFのデータ入力信号DATA-Iが時間 $t_D$ (ns)だけ遅延するため、クロックCLKのセットアップエラー、ホールドエラーの発生範囲も、DATAの立ち上がり $t_0$ に対して $t_D$ (ns)だけ遅れる。従って、上記回路構成において、メタステーブル状態を起こすことなく正確なフリップフロップ出力Qを得るためには、データ入力信号DATAの変化時刻 $t_0$ から「 $t_D + t_S$ 」以上遅れた時点で、クロックCLKを立

上げる必要がある。  
【0017】本発明は、同期化回路によって、データ入力信号DATAの変化( $t_0$ )を検出して、D型フリップフロップに入力されるクロックCLKの立ち上がりタイミングを、図12に示した時刻 $t_2$ 以降に自動的に移動することにより、メタステーブル状態を起こすことなく正確にデータ入力信号をラッチし、安定したフリップフロップ出力Qを得ることを特徴とする。尚、上述したディレイ素子1の遅延時間 $t_D$ は、同期化回路が必要とする動作時間との関係で決定される。

【0018】図1は、D型フリップフロップのクロックタイミングをデータ入力信号に同期化するための本発明による同期化回路の第1の実施例を示す。図において、1は遅延時間 $t_D$ をもつディレイ素子、2はデータ入力信号DATAの状態変化を検出して所定パルス幅の制御パルスTrIを発生するパルス発生器、4はクロックCLKの通過を制御するトランスファゲート、5はトランスファゲート4とD型フリップフロップFFとの間に挿入されたデータ保持部を示す。

【0019】パルス発生器2は、データ入力信号DATAに変化が無ければ、制御パルスTrIをLレベルに維持し、データ入力信号DATAのレベルが変化すると、遅延時間 $t_{PI}$ で立ち上がるパルス幅 $t_{PULSE}$ のパルス信号を出力する。トランスファゲート4は、制御パルスTrIがLレベルの期間中は、入力クロックCLKの通過を許容し、制御パルスTrIがHレベルの期間中は、入力クロックCLKの通過を阻止(遮断)する。データ保持部5は、制御パルスTrIがLレベルの期間中は、入力クロックCLKを通過させ、制御パルスTrIがHレベルの期間中は、従前の出力信号(クロック)状態を保持する。以下の説明では、トランスファゲート4の応答遅延時間を $t_{TRA}$ とし、データ保持部5の応答遅延時間はゼロとする。

【0020】上記回路構成において、データ入力信号DATAはディレイ素子1によって時間 $t_D$ の遅延を受けた後、データ入力信号DATA-IとしてD型フリップフロップFFのデータ端子Dに入力される。パルス発生器2は、上記データ入力信号DATAの状態変化に応じて制御パルスTrIを発生し、トランスファゲート4とデータ保持部5を制御する。クロックCLKは、ト

ランスファゲート4とデータ保持部5によって、上記制御パルスTrIの状態に応じた制御を受け、タイミング調整されたクロックCLK-IとしてD型フリップフロップFFのクロックCLK端子に入力される。

【0021】図2は、上記図1に示した同期化回路における信号タイミングチャートを示す。図において、DATAとCLKは、図12に示したDATAとCLKに相当している。本実施例では、D型フリップフロップFFの入力クロックCLK-Iが、トランスファゲート4において時間 $t_{TRA}$ の遅延を受けるため、図12と等価的な関係をもたせるために、データ入力信号DATAの遅延時間を「 $t_D - t_{TRA}$ 」としている。

【0022】データ入力信号DATAが時刻 $t_0$ でLレベルからHレベルに変化すると、もし、トランスファゲート4が常に入力通過状態にあれば、D型フリップフロップがセットアップ/ホールドタイムエラーを起こすクロックタイミングは、図に斜線で示す $t_1 \sim t_2$ の範囲となる。時刻 $t_0$ を基準にして、セットアップ/ホールドタイムエラーが起こるクロックCLKの遅れ時間を $t_{ERR}$ とすると、その範囲は、  
$$(t_D - t_{TRA} - t_H) \leq t_{ERR} \leq (t_D - t_{TRA} + t_S)$$
  
となる。

【0023】本発明では、データ入力信号DATAの立ち上がり( $t_0$ )に対して上記遅れ時間 $t_{ERR}$ をもつクロックCLKがD型フリップフロップFFに供給されないようにするために、時刻 $t_0$ から $t_{ERR}$ の期間は、トランスファゲート4を遮断状態にする。この場合、トランスファゲート4に最低限必要とされる動作条件は、時刻 $t_0$ から制御パルスTrIがHレベルになるまでの時間 $t_{TRI H}$ が「 $t_{TRI H} \leq (t_D - t_{TRA} - t_H)$ 」で、時刻 $t_0$ から制御パルスTrIがLレベルになるまでの時間 $t_{TRI L}$ が「 $(t_D - t_{TRA} + t_S) \leq t_{TRI L}$ 」であれば良い。

【0024】時間 $t_{TRI H}$ は、パルス発生器がデータ入力信号DATAの変化( $t_0$ )を検知して制御パルスTrIをHレベルにする(時刻 $T_1$ )迄の遅延時間 $t_{PI}$ に相当し、時間 $t_{TRI L}$ は、制御パルスTrIがLレベルになる(時刻 $T_2$ )迄の時間「 $t_{PI} + t_{PULSE}$ 」に相当しているため、上記条件は、パルス発生器の応答遅延時間 $t_{PI}$ 、出力パルス幅 $t_{PULSE}$ 、ディレイ素子の遅延時間 $t_D$ の値を調節することにより達成できる。

【0025】Hレベルの制御パルスTrIによってトランスファゲート4が遮断状態となっている間は、クロックCLKの変化は、D型フリップフロップの入力クロックCLK-Iには反映されない。この期間中は、データ保持部5がデータ保持状態となっており、CLK-Iとしてトランスファゲート4の遮断前の出力レベルを保持している。

【0026】制御パルス $T_{r1}$ がLレベルに戻り、トランスファゲート4が通過状態となると、データ保持部5がデータ保持状態から入力信号通過状態に切り替わるため、トランスファゲート4の遮断時、すなわち、遅れ時間 $t_{ERR}$ の期間内に立ち上がったクロックCLKのHレベルがデータ保持部5の出力CLK-Iに反映され、D型フリップフロップの入力クロックが立ち上がる。

【0027】上述した同期化回路の動作により、仮にクロックCLKが図2の斜線領域で変化した場合でも、実際にD型フリップフロップに入力されるクロックCLK-Iは、データ入力信号DATAの立ち上がり時刻 $t_0$ から「 $t_D - t_{TRA} + t_S$ 」以上遅れた時点（図2の $t_2$ 以降）でHレベルとなる。この場合、D型フリップフロップの実際のデータ入力信号DATA-Iは、データ入力信号DATAから「 $t_D - t_{TRA}$ 」の遅れをもっているため、DATA-IとCLK-Iとの時間差がセットアップタイム $t_s$ 以上となり、メタステーブル状態を起こすことなく、入力信号の状態（この例ではHレベル）が確実にラッチされ、出力Qに転送される。

【0028】図2に時刻 $t_x$ で示すように、制御パルス $T_{r1}$ がHレベルになるより前にクロックCLKが立ち上がった場合は、CLKの変化が入力CLK-Iに反映されるため、D型フリップフロップの出力QはLレベルとなる。また、制御パルス $T_{r1}$ がHレベルからLレベルに戻った後でクロックCLKが立ち上がった場合は、時間 $t_{TRA}$ だけ遅延してCLK-Iが立ち上がるため、D型フリップフロップの出力QはHレベルとなる。従って、本実施例によれば、セットアップ/ホールドエラーを起こすことなく、D型フリップフロップが確実に動作することが判る。

【0029】尚、時刻 $t_x$ と時刻 $T_1$ が接近し、クロックCLKが立ち上がった直後に制御パルス $T_{r1}$ が立ち上がった場合、CLK-IがHレベルで安定するかLレベルで安定するかは不明である。データ保持部5で認識可能なパルス幅にもよるが、CLK-IがHレベル、Lレベルのどちらに安定したとしても、上述した動作原理によって、D型フリップフロップのセットアップ/ホールドエラーは回避できる。

【0030】図3は、本発明による同期化回路の第2の実施例を示す。第2の実施例は、図1に示したデータ保持部5に代えて、トランスファゲート4の出力線にブルダウン抵抗6を接続した構成となっている。図4は、上記第2実施例回路における信号タイムチャートを示す。第1実施例との相違は、クロックCLK-Iの波形にあり、クロック保持期間 $t_{PULSE}$ と遅延時間 $t_{TRA}$ の間、トランスファゲート4の出力クロックCLK-Iの信号レベルが強制的にLレベルとなっている点にある。上記第2実施例の場合も、セットアップ期間とホールドタイム期間を避けたタイミングで、クロックCLK-Iの信号レベルを変化させることができるため、メタ

ステーブル状態を回避したデータ入力信号のラッチ動作が可能となる。

【0031】上記第2実施例の回路構成では、制御パルス $T_{r1}$ がHレベルになる前にクロックCLKがHレベルになり、 $T_{r1}$ がLレベルに戻った後にCLKがLレベルに戻った場合、CLK-Iに2つのクロックが発生するが、この場合でも、データ入力信号DATAのHレベルは必ず出力Qとして後段回路に伝達される。第2実施例の場合、クロックCLKの周期がデータ入力信号DATAの周期よりも十分短いことが要求されるが、この条件を守ればD型フリップフロップのセットアップ/ホールドエラーを回避して、データ入力信号のLレベルとHレベルを確実にラッチして出力Qに転送することが可能となる。

【0032】図5は、図1に示した上記第1実施例の同期化回路を適用した電子回路の1例を示す。図において、1a、1bはディレイ素子、7a~7iは反転素子、FF11~FF22はD型フリップフロップであり、データ保持部5は、トランスファゲート4と同一構造のトランスファゲート10と、2つの反転素子7gおよび7fからなっている。

【0033】データ入力信号DATA1は、反転素子7a、ディレイ素子1aおよび反転素子7bを経て、データ入力信号DATA1bとして第1のフリップフロップFF11に入力され、その出力信号Q11が、第2のフリップフロップFF12に入力され、出力信号Q12となって後段回路に転送される。これと同様に、データ入力信号DATA2は、反転素子7c、ディレイ素子1bおよび反転素子7dを経て、データ入力信号DATA2bとして第3のフリップフロップFF21に入力され、その出力信号Q21が、第4のフリップフロップFF22に入力され、出力信号Q22となって後段回路に転送される。

【0034】パルス発生器4は、反転素子7a、7cで反転された2つのデータ入力信号DATA1a、DATA2aの状態変化に応じて制御パルス $T_{r1}$ INを発生し、トランスファゲート4と、データ保持部のトランスファゲート10に供給する。一方、クロックCLK1は、反転素子7e、トランスファゲート4および反転素子7fを経て、クロックCLK-Iとして、上記第1のD型フリップフロップFF11と第3のD型フリップフロップFF21に入力される。また、反転素子7eで反転されたクロックCLKは、反転素子7kで再度反転された後、クロックCLK2として第3のD型フリップフロップFF12と、第4のD型フリップフロップFF22に入力される。

【0035】図6は、図5に示したパルス発生器2の具体的な回路構成を示す。パルス発生器2は、データ入力信号DATA1~DATA $n$ に対応して用意された複数のパルス発生部13a~13 $n$ と、ブルアップ抵抗14

と、上記各パルス発生部の出力信号によってブルアップ抵抗14をワイードNOR回路(または接地)に選択的に接続する複数のトランジスタ素子(CMOSトランジスタ)15a~15nと、上記ブルアップ抵抗14とトランジスタ素子15a~15nとの結合点に接続された反転素子7jとからなる。

【0036】パルス発生部13aは、データ入力信号DATA1aを遅延させるためのディレイ素子17aと、データ入力信号DATA1aと上記ディレイ素子17aの出力信号を入力とするEXOR(イクスクルーシブOR)回路16aとからなり、EXOR回路16aの出力信号によってトランジスタ15aのゲートが制御される。

【0037】データ入力信号DATA1aがLレベルからHレベルに変化すると、EXOR回路16aから、ディレイ素子17aの遅延時間(tPULSE)分のHレベル期間(パルス幅)をもったパルスが発生する。EXOR回路16aに接続されたトランジスタ15aは、上記パルス幅の期間だけ導通し、反転素子7jの入力電位を降下させる。従って、上記反転素子7jから、ディレイ素子17aの遅延時間(tPULSE)分のパルス幅をもつ制御パルスTrINが発生する。

【0038】その他のパルス発生部13b~13nも、上記パルス発生部13aと同様の構成となっている。全てのトランジスタ15a~15nがオフ状態であれば、ブルアップ抵抗14の働きにより、反転素子7jの入力電位がHレベルに保たれ、出力信号TrINはLレベルとなる。複数のEXOR回路からパルスが発生した場合、複数のトランジスタが同時に導通し、複数のディレイ素子の遅延時間を重畳させたパルス幅をもつ制御パルスTrINが発生する。図5のように並列的に入力される複数系列のデータ入力信号DATA1、DATA2、...を扱う場合でも、これらのデータ入力信号間ではほぼ同期がとれていれば、制御パルスTrINのパルス幅の変動は少なく、図6に示した1つのパルス発生器で複数のD型フリップフロップのクロックタイミングを的確に制御できる。

【0039】上記図5に示した回路構成では、第1、第2のD型フリップフロップFF11、FF21の各データ入力信号線に、ディレイ素子1(1a、1b)と、通常のLSIにおいてバッファの基本素子として使用される2個の反転素子が挿入されているため、これらの挿入素子によってデータ入力信号DATA1、DATA2に信号遅延が発生する。しかしながら、クロックCLK用の信号線にも2個の反転素子7e、7fが挿入されているため、クロックCLKとデータ入力信号DATA1、DATA2の経路上では、これらの反転素子による信号遅延は互いに相殺され、パルス発生器2の出力パルスTrINで考慮すべき信号遅延は、図1と同様、ディレイ素子のみとなる。

【0040】データ入力信号をラッチする初段のD型フリップフロップFF11F、FF21、...において、本発明の同期化回路によりデータ入力信号とクロックが同期化されていれば、次段以降のD型フリップフロップFF12、FF22、...については、入力クロックCLKに同期したクロックCLK2によってデータ転送できる。

【0041】上記図5の回路構成において、データ保持部5を構成しているトランスファゲート10とディレイ素子7gを省略し、トランスファゲート4の出力線とデバイス電源との間にブルアップ抵抗、または、反転素子7fの出力信号線CLK-1とデバイス電源との間にブルダウン抵抗を付加することによって、第2実施例と同様の回路構成とすることができる。

【0042】

【発明の効果】以上の説明から明らかなように、本発明によれば、データ入力信号の状態変化に応じて、上記D型フリップフロップに供給されるクロックパルスの出力タイミングを所定時間遅延させることにより、メタステーブル状態を回避することができるため、D型フリップフロップを内蔵する各種の非同期系システムあるいはデバイスの信頼性を向上できる。

【図面の簡単な説明】

【図1】本発明による同期化回路の第1の実施例を示す図。

【図2】第1実施例における信号タイミングチャート。

【図3】本発明による同期化回路の第2の実施例を示す図。

【図4】第2実施例における信号タイミングチャート。

【図5】第1の実施例の同期化回路を備えた具体的な回路装置の1例を示す図。

【図6】図5におけるパルス発生器2の詳細を示す構成図。

【図7】D型フリップフロップを説明するための図。

【図8】D型フリップフロップの信号タイミングチャート。

【図9】従来の非同期系の同期回路の1例を示す図。

【図10】図8をクロックタイミング調整の立場で見たタイミングチャート。

【図11】データ入力信号線に遅延素子を備えたD型フリップフロップを示す図。

【図12】図10の回路の信号タイミングチャート。

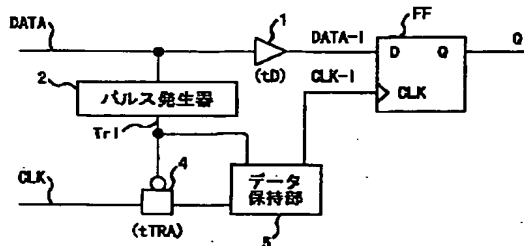
【符号の説明】

1：ディレイ素子、2：パルス発生器、FF：D型フリップフロップ、4：トランスファゲート、6：ブルダウン抵抗、7a~7k：反転素子、5：データ保持部、13a~13c：パルス発生部、14：ブルアップ抵抗、15a~15c：CMOSトランジスタ、16a~16c：EXOR。



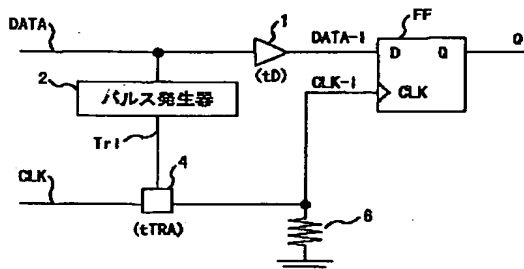
【図1】

図 1



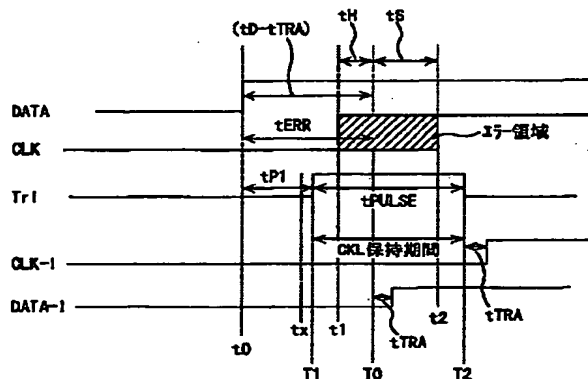
【図3】

図 3



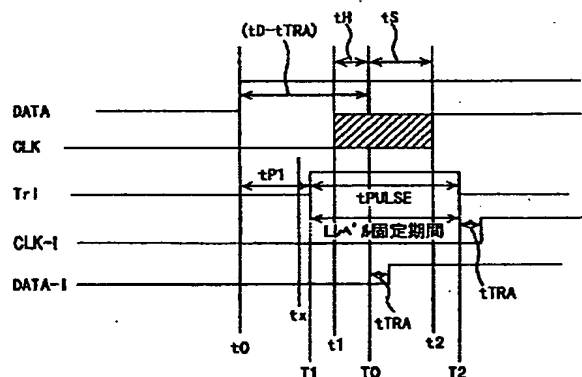
【図2】

図 2

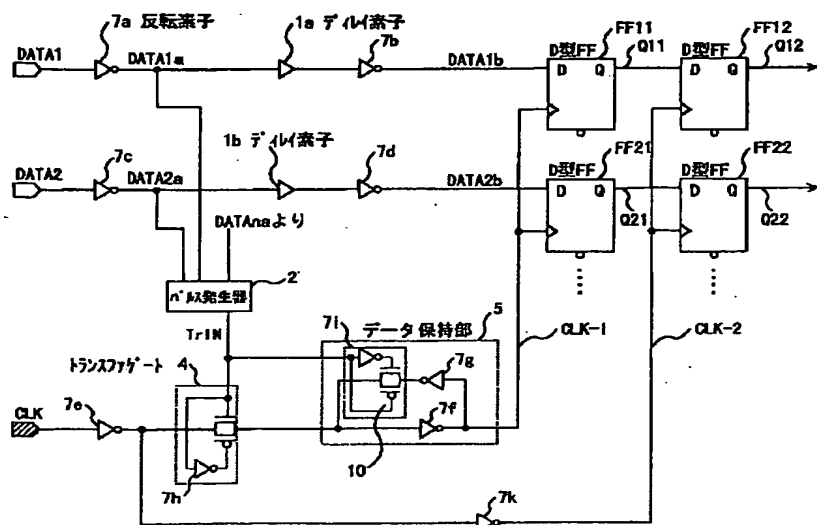


【図4】

図 4



【図5】



【図7】

図 7

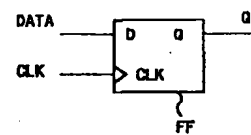
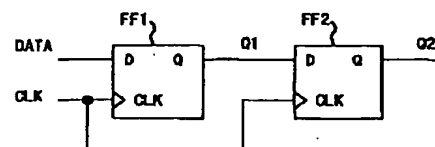


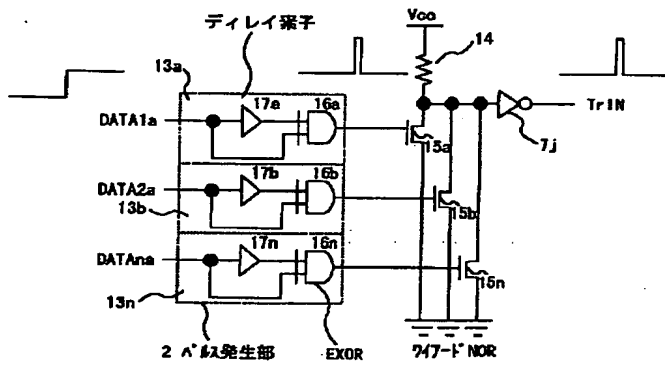
図 8

【図9】

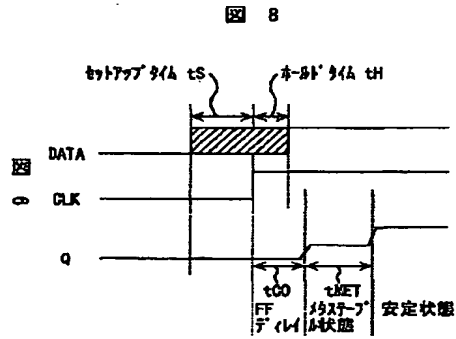
図 9



【図6】

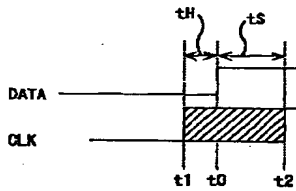


【図8】



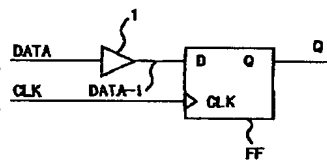
【図10】

図 10



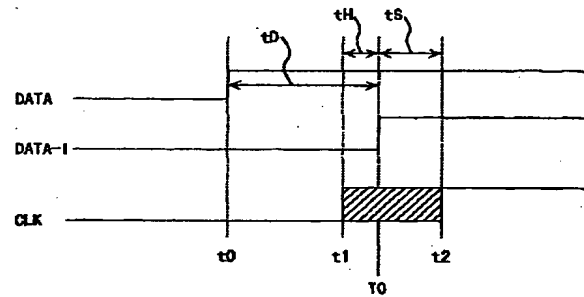
【図11】

図 11



【図12】

図 12



フロントページの続き

Fターム(参考) 5J001 AA04 AA11 BB05 BB12 BB13  
DD09  
5J043 AA07 HH01 JJ04 KK01 KK10  
5K047 AA05 GG09 GG45 MM28 MM36  
MM53